

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04362745 A**

(43) Date of publication of application: **15.12.92**

(51) Int. Cl.

G06F 11/28
G06F 9/38

(21) Application number: **03181510**

(22) Date of filing: **10.06.91**

(71) Applicant: **AGENCY OF IND
SCIENCE & TECHNOL**

(72) Inventor: **TAKEDA KOICHI
YOSHIDA YUICHI
OHARA TERUHIKO
SATO MASATOSHI**

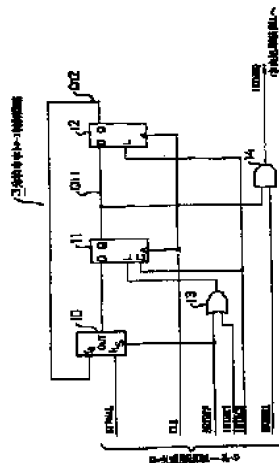
(54) **INSTRUCTION TRACING DEVICE**

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To obtain an instruction tracing device which can trace the instructions with the least overhead and with high efficiency regardless of the branching direction of a condition branching instruction.

CONSTITUTION: An interruption request INTREQ to be given to a trace processing routine is applied to a CPU 1 in an execution mode (EXEBRA) of a branch instruction included in a program to be traced regardless of the executing result (presence/absence of branch). The CPU 1 accepts the request (INTACK) and the trace processing routine is carried out. Thus an instruction tracing operation is discontinued. When the CPU 1 returns the processing to the program to be traced from the trace processing routine (INTRET), the instruction tracing operation is reset in an enable state (i.e., the storage contents of a flip-flop circuit 11 are updated). In such a constitution, the instruction tracing operation is always carried out when a branch instruction is carried out. Furthermore it is possible not to comply with the branch instruction under the trace processing.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-362745

(43) 公開日 平成4年(1992)12月15日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/28	3 1 0 E	8725-5B		
9/38	3 8 0 C	8725-5B		

審査請求 有 請求項の数 2 (全 9 頁)

(21) 出願番号 特願平3-181510

(22) 出願日 平成3年(1991)6月10日

(71) 出願人 000001144

工業技術院長

東京都千代田区霞が関1丁目3番1号

(72) 発明者 武田 浩一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 吉田 裕一

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72) 発明者 大原 輝彦

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

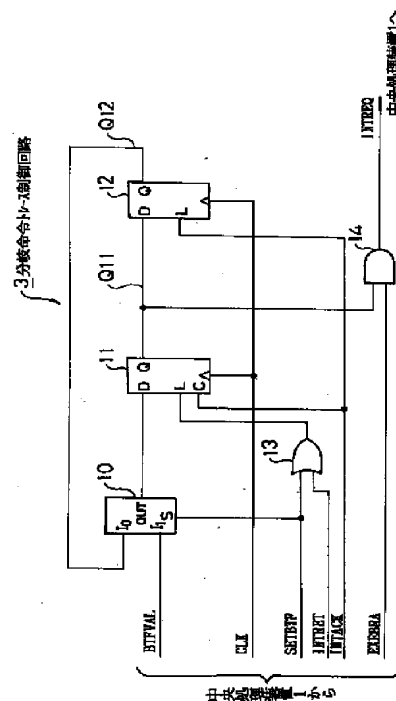
最終頁に続く

(54) 【発明の名称】 命令トレース装置

(57) 【要約】

【目的】 条件分岐命令の分岐方向に拘らず、最小のオーバーヘッドでしかも効率的に命令トレースを実行できる命令トレース装置を提供する。

【構成】 トレース対象プログラム内の分岐命令の実行中になると (EXEBRA)、その実行結果 (分岐の有無) に拘らず、トレース処理ルーチンへの割込み要求 INTREQ を中央処理装置に与える。中央処理装置がこの要求を受付けて (INTACK) トレース処理ルーチンの実行中になると、命令トレースを中止させる。トレース処理ルーチンからトレース対象プログラムに中央処理装置が処理を復帰させたときには (INTRET)、命令トレースを可能な状態に戻す (フリップフロップ回路 11 の記憶内容を更新する)。このようにして分岐命令が実行されたときには常に命令トレースを実行させることができ、また、トレース処理中の分岐命令には応じないようである。



【特許請求の範囲】

【請求項1】 中央処理装置がトレース対象プログラムに従い実行している命令を、命令トレース制御回路が中央処理装置に割込みをかけて必要に応じてトレースさせる命令トレース装置において、上記命令トレース制御回路が、分岐命令のトレースを行なうか否かを表すトレース実行可否情報を保持する保持手段と、この保持手段の内容が実行を指示している場合において、中央処理装置から分岐命令の実行中を表す分岐命令実行中信号が与えられたときに、上記中央処理装置にトレース処理ルーチンを実行させる割込みを要求する割込み要求手段と、かかる割込み要求が中央処理装置によって受け付けられたときに、上記保持手段が保持するトレース実行可否情報の内容を実行不可に変更するトレース防止手段と、中央処理装置がトレース処理ルーチンからトレース対象プログラムに復帰するときに、上記保持手段が保持するトレース実行可否情報の内容を実行可能に変更するトレース待機化手段とを備えたことを特徴とする命令トレース装置。

【請求項2】 上記トレース処理ルーチンが、トレース対象プログラムにおける条件分岐命令の分岐方向の統計を得る処理を実行するものであることを特徴とする請求項1に記載の命令トレース装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、中央処理装置が実行した分岐命令をトレースする命令トレース装置に関する。

【0002】

【従来の技術】 処理の高速化を期して命令先取り機能を有する中央処理装置がある。すなわち、将来実行が予測される命令の主記憶装置からの取出しを、前の命令の実行や解釈と並行して予め行なう中央処理装置がある。基本的には、中央処理装置が実行する命令群は主記憶装置の連続したメモリエリアに格納されているので、命令の先取りを容易に行なうことができる。しかし、ある条件が満足されたときにプログラムの実行順序を変更する条件分岐命令を実行する場合には、条件が満足されたか否かによって次に実行する命令群が変わるため、命令の先取りが困難になる。

【0003】 プログラム中に含まれている条件分岐命令の数は多いので、また、同一ステップの条件分岐命令が繰返し実行されることも多いので、条件分岐命令に対して命令の先取り機能を利用できないことは問題が多い。例えば、発電設備を診断したり監視したりするようなプログラムの場合には、発電設備の各要素の状態によって処理が変更され、また、繰返し診断や監視を行なうので、上述した問題は大きいものである。

【0004】 そこで、条件分岐命令に対して、分岐する方向を予測して命令の先取りを行ない、予測と異なった方向に分岐したときには取出した命令を放棄して改めて

命令の取出しを行なう方法が既に提案されている。しかし、この方法では分岐方向の予測精度が問題となる。すなわち、予測精度が悪い場合には、命令の先取りが無意味となることが多くて先取りによる効果が得られない。分岐方向の予測精度を向上させるために、対象となっているプログラムを実行させて、このプログラムに含まれている各条件分岐命令についてどの方向により分岐するかを統計的に処理する方法も提案されている。

【0005】 分岐方向の統計をとる方法としては、シミュレーションによる方法（第1の方法）と、中央処理装置が有する命令トレース機能を利用する方法（第2の方法）とが考えられる。第1の方法は、中央処理装置のシミュレータ上で、対象となっているプログラムを実行させてシミュレータによって統計データを採取する方法である。第2の方法は、各命令の実行時に命令トレーストラップ処理ルーチン（トレース処理ルーチン）にトラップ（割込み）をかけると共に、この命令トレーストラップ処理ルーチンを、割込みをかけた際の命令の種類を検出してそれが条件分岐命令ならば統計をとるように構成する方法である。

【0006】 なお、命令トレース機能を有する中央処理装置については、例えば、文献「MC68020 ユーザーズ・マニュアル 2nd Edition」（Motorola Inc., 1989 CQ 出版）に記載されている。

【0007】

【発明が解決しようとする課題】 しかしながら、上述した第1の方法においては、シミュレーションに非常に多くの時間がかかるので、實際上、小さなプログラムに対してしか有効な方法ではない。例えば、上述した発電設備を診断したり監視したりするプログラムに対しては実際にかかる方法を適用することは困難である。

【0008】 また、上述した第2の方法においては、統計をとる対象でない命令に対しても命令トレーストラップ処理ルーチンを適用しているので、無駄な処理を多数行なっていることになる。すなわち、本来のプログラム（メインルーチン）の処理に対する命令トレーストラップ処理ルーチンの処理の割合（オーバーヘッド）が不必要に大きいという問題がある。従って、この方法も小さなプログラムに対してしか有効な方法ではない。

【0009】 このような第2の方法での不都合を解決するためには、トラップに条件を付けて無駄なトラップが生じないようにすることが考えられる。上述した文献に記載の中央処理装置について、プログラムカウンタが順序通りに更新されなかった場合に、すなわち広義の分岐が起こったときに、トラップを発生する機能が記述されており、この機能を利用して命令トレーストラップ処理ルーチンの処理回数を押さえることが考えられる。しかし、この方法では、分岐が実行されない場合には命令トレーストラップ処理ルーチンにトラップがかからないので、統計をとるという当初の目的からみた場合に問題が

ある。すなわち、条件分岐命令を実行した結果、プログラムカウンタの順序通りでない命令群に分岐した場合には統計がとられるが、プログラムカウンタの順序通りに進んだ場合には統計がとられず、どちらに進む可能性が高いのかを検出することができない。

【0010】本発明は、以上の点を考慮してなされたものであり、条件分岐命令の分岐方向に拘らず、最小のオーバーヘッドでしかも効率的にトレースを実行できる命令トレース装置を提供しようとするものである。

【0011】

【課題を解決するための手段】かかる課題を解決するため、本発明においては、中央処理装置がトレース対象プログラムに従い実行している命令を、命令トレース制御回路が中央処理装置に割込みをかけて必要に応じてトレースさせる命令トレース装置において、命令トレース制御回路を、以下の各手段で構成した。

【0012】すなわち、分岐命令のトレースを行なうか否かを表すトレース実行可否情報を保持する保持手段と、この保持手段の内容が実行を指示している場合において、中央処理装置から分岐命令の実行中を表す分岐命令実行中信号が与えられたときに、中央処理装置にトレース処理ルーチンを実行させる割込みを要求する割込み要求手段と、かかる割込み要求が中央処理装置によって受け付けられたときに、保持手段が保持するトレース実行可否情報の内容を実行不可に変更するトレース防止手段と、中央処理装置がトレース処理ルーチンからトレース対象プログラムに復帰するときに、保持手段が保持するトレース実行可否情報の内容を実行可能に変更するトレース待機化手段とで構成した。

【0013】ここで、トレース処理ルーチンが、トレース対象プログラムにおける条件分岐命令の分岐方向の統計を得る処理を実行するものであることが命令先取り機能の面からは好ましい。

【0014】

【作用】トレースの待機中においては、保持手段に、トレース処理の実行可能を内容とするトレース実行可否情報が保持されている。

【0015】このような状態において、中央処理装置から分岐命令の実行中を表す分岐命令実行中信号が出力されると、割込み要求手段は、中央処理装置にトレース処理ルーチンを実行させる割込みを要求する。中央処理装置が、かかる割込み要求を受け付けると、トレース防止手段は、保持手段が保持するトレース実行可否情報の内容を実行不可に変更してトレース処理ルーチンの実行中におけるトレース処理の実行を防止する。中央処理装置がトレース処理ルーチンを終了してトレース対象プログラムに復帰するときには、トレース待機化手段は、保持手段が保持するトレース実行可否情報の内容を実行可能に変更して次に発生するトレース対象プログラムにおける分岐命令を待機する状態にする。

【0016】このようにして分岐命令が実行されたときには、その結果分岐が生じたか否かに拘らず、命令トレースを実行させることができる。

【0017】なお、命令先取り機能を考慮した場合、トレース処理ルーチンが、トレース対象プログラムにおける条件分岐命令の分岐方向の統計を得る処理を実行するものであることが好ましい。

【0018】

【実施例】以下、本発明の一実施例を図面を参照しながら詳述する。ここで、図2は分岐命令トレースに係る全体構成を示すブロック図、図1はその分岐命令トレース制御回路の詳細構成を示すブロック図である。

【0019】図2において、中央処理装置1は、主記憶装置2に格納されているトレース対象プログラム（メインルーチン）2aに従い命令を順次処理していくものであり、また、分岐命令トレース制御回路3がトラップ（分岐命令トレースの割込み）を発生した場合に分岐命令トレーストラップ処理ルーチン2bに従い命令を処理するものである。

【0020】分岐命令トレース制御回路3は、図1に示す詳細構成を有し、中央処理装置1から与えられる各種信号BTFFVAL、CLK、SETBTFF、INTRET、INTACK、EXEBRAと、当該回路の内部状態とに基づいて、分岐命令トレーストラップ処理ルーチン2bを実行させるか否かを決定して、実行の有無（割込みをかけるか否か）を表す信号INTREQを中央処理装置1に転送するものである。

【0021】分岐命令トレース制御回路3は、セレクト回路10と、2個のD型フリップフロップ回路11及び12と、オア回路13と、アンド回路14とから構成されている。なお、フリップフロップ回路11及び12は、図3の真理値表に示すように動作するものである。

【0022】セレクト回路10は2入力1出力構成のものである。一方の選択入力端子I1には中央処理装置1からトレース実行可否信号BTFFVALが与えられ、他方の選択入力端子I0にはフリップフロップ回路12のQ出力信号Q12が与えられ、選択制御端子Sには中央処理装置1からトレース状態初期設定信号SETBTFFが与えられている。

【0023】トレース実行可否信号BTFFVALは、メインルーチン2aの処理時に必要に応じて分岐命令トレースを実行するか否かを表す信号であり、「1」が分岐命令トレースを必要に応じて実行することを意味し、「0」が分岐命令トレースを一切実行しないことを意味している。トレース状態初期設定信号SETBTFFは、トレース実行可否信号BTFFVALの論理値をフリップフロップ回路11にロードさせるために指令である。そのため、トレース状態初期設定信号SETBTFFは、メインルーチンの処理の前に行なわれる初期設定時にのみ「1」とされ、ロードが終了すると、その後継続して

「0」とされるものである。

【0024】従って、セクタ回路10は、トレース実行可否信号BTFFVALの論理値をフリップフロップ回路11にロードさせる際のみ、トレース実行可否信号BTFFVALを選択し、これ以外のときはフリップフロップ回路12のQ出力Q12を選択してフリップフロップ回路11のデータ入力端子Dに与えるものである。

【0025】このフリップフロップ回路11のロード端子Lには、オア回路13を介して上述したトレース状態初期設定信号SETBTFF又は割込み復帰信号INTR
10 ETが与えられ、また、クロック入力端子にはクロック信号CLKが与えられ、さらに、クリア端子Cには割込み受付信号INTACKが与えられる。従って、フリップフロップ回路11は、セクタ回路10がトレース実行可否信号BTFFVALを通過させているときには、トレース状態初期設定信号SETBTFFに基づいてクロック信号CLKの立上りエッジでこれをロードし、セクタ回路10がフリップフロップ回路12のQ出力Q12を通過させているときには、割込み復帰信号INTRE
20 Tに基づいてクロック信号CLKの立上りエッジでこれをロードする。なお、フリップフロップ回路11は、分岐命令トレーストラップ処理ルーチン（割込み処理）2bを開始したときにクリアされる。

【0026】このフリップフロップ回路11は、機能的には、現在分岐命令トレースを実行しているか否かを記憶しているものであり、記憶内容（Q出力Q11）の「1」が分岐命令トレースの待機中を意味し、「0」が分岐命令トレースの実行中を意味している。フリップフロップ回路11のQ出力Q11が、フリップフロップ回路12のデータ入力端子D及び2入力アンド回路14に
30 与えられる。

【0027】フリップフロップ回路12のロード端子Lには割込み受付信号INTACKが与えられ、クロック入力端子にはクロック信号CLKが与えられる。従って、フリップフロップ回路12は、割込み受付信号INTACKがアクティブとなって分岐命令トレーストラップ処理ルーチン（割込み処理）2bを開始したときのフリップフロップ回路11のQ出力Q11を、すなわち、分岐命令トレースを実行するモードが選択されていることを保持するものである。

【0028】アンド回路14には上述したフリップフロップ回路11のQ出力Q11に加えて、中央処理装置1から分岐命令実行中信号EXEBRAが与えられる。かくして、アンド回路14は、分岐命令トレースを実行するモードが選択されているときであって分岐命令が実行されると、中央処理装置1に対して割込み要求信号INTREQを出力する。

【0029】図4は、分岐命令トレース制御回路3の各部タイミングチャートを示すものであり、以下、この図4を参照しながら分岐命令トレース時の動作を説明す
50

る。

【0030】以上の構成において、分岐命令の分岐方向の統計を得るためにメインルーチン2aを実行させる場合には、メインルーチン2aの実行を指示する前に、オペレータは図示しないキーボードやディップスイッチ等を用いて、メインルーチン2aの実行中に分岐命令のトレース処理を行なうことを中央処理装置1に指示する。このとき、中央処理装置1は、例えばOSに従いトレース実行可否信号BTFFVAL（図4（B））を「1」とすると共にトレース状態初期設定信号SETBTFF（図4（C））を少なくとも1クロック周期以上の期間だけ「1」とする。これにより、フリップフロップ回路11には分岐命令のトレース処理を行なうことが時点t1でセットされる（図4（D）参照）。

【0031】オペレータは、その後、キーボード等によってメインルーチン2aの実行を中央処理装置1に指示する。これにより、中央処理装置1はメインルーチン2aの処理を開始する。このようなメインルーチン2aの処理中において分岐命令の実行中になると、中央処理装置1は分岐命令実行中信号EXEBRA（図4（H））を「1」とする。これにより、アンド回路14の処理遅延時間分だけ後の時点t2から割込み要求信号INTREQ（図4（I））が「1」（アクティブ）となる。なお、現在、中央処理装置として、分岐命令実行中信号EXEBRAを出力する形式のものはないが、多くの中央処理装置では内部に分岐命令実行中を示す信号があるので、これを出力させる端子を設けることで、分岐命令実行中信号EXEBRAを出力する中央処理装置1を実現できる。

【0032】中央処理装置1は、この分岐命令の実行が終了すると、この割込み要求に応じて、割込み受付信号INTACK（図4（G））を「1」とすると共に分岐命令トレーストラップ処理ルーチン2bを開始する。すなわち、その分岐命令の実行結果である分岐方向の統計値（頻度）を増加させる処理を行なう。

【0033】分岐命令トレース制御回路3においては、割込み受付信号INTACKが「1」となった後の最初のクロック信号CLK（図4（A））の立上りエッジ時点t3で、フリップフロップ回路11のQ出力Q11が0クリアされるため、アンド回路14が閉じて割込み要求信号INTREQが「0」となる。すなわち、分岐命令トレーストラップ処理ルーチン2b内に分岐命令があ
40 って分岐命令トレーストラップ処理ルーチン2bの実行中に、分岐命令実行中信号EXEBRAが「1」（アクティブ）となっても割込み要求信号INTREQがアクティブとなることはない（期間t4～t5参照）。

【0034】また、割込み受付信号INTACKが「1」となった後の最初のクロック信号CLKの立上りエッジ時点t3で、フリップフロップ回路12はフリップフロップ回路11の「1」であるQ出力Q11をロー

ドする(図4(E)参照)。なお、この動作は、分岐命令トレーストラップ処理ルーチン2b内の分岐命令の実行に対する統計をとることを防止するようにフリップフロップ回路11をクリアしても、このルーチン2bの終了後には再度分岐命令のトレース可能状態に復帰させるためにフリップフロップ回路11の「1」のQ出力Q11を退避させるものである。

【0035】図5は、トレース対象プログラム2aの条件分岐命令の統計を得る場合の、分岐命令トレーストラップ処理ルーチン2bの一例を示すものである。かかる

10 処理を開始すると、中央処理装置1内の各種レジスタやカウンタの内容を取り込み、分岐命令が条件分岐命令であるか否かを判断する(ステップ100、101)。

【0036】条件分岐命令でない場合には、かかるルーチン2bの処理を終了する。他方、条件分岐命令であると、この条件分岐命令(メインルーチン2a中の同じステップの命令;同じ種類の命令でもステップが異なる場合を除く)が初めて実行されているか否かを、後述する主記憶装置2のデータエリアの情報に基づいて判断する(ステップ102)。

【0037】初めて実行された条件分岐命令であると、そのステップのアドレスと条件分岐命令の種類と全ての分岐先(次のアドレスに進む場合を含む)とを主記憶装置2のデータエリアに書き込むと共に、実際に移行する分岐先について頻度「1」を記録すると共に他の分岐先について頻度「0」を記憶して一連の処理を終了する(ステップ103)。他方、実行が2度目以降の条件分岐命令であると、このときの処理による分岐先の頻度を1インクリメントして一連の処理を終了する(ステップ104)。

【0038】中央処理装置1は、分岐命令トレーストラップ処理ルーチン2bの処理が終了すると、割込み復帰信号INTRET(図4(F))を「1」(アクティブ)とする。これにより、この後の最初のクロック信号CLKの立上りエッジ時点t6で、フリップフロップ回路11はセクタ回路10を通過したフリップフロップ回路12からの「1」であるQ出力Q12を再ロードして、そのQ出力Q11によってアンド回路14を通過状態に制御し、メインルーチン2aにおける次の分岐命令の実行を待機する。

【0039】従って、上述の実施例によれば、条件分岐命令だけに対してのみトレース処理を実行できると共に、プログラムカウンタの順序通りに進む場合及び進まない場合共に条件分岐命令のトレース処理を実行することができる。しかも、トレース処理ルーチン内の条件分岐命令に対しては、トレース処理の実行を防止することができる。

【0040】そのため、条件分岐命令の分岐方向の統計をとることが最小のオーバーヘッドで行なうことができるようになる。

【0041】なお、上述の実施例においては、条件分岐命令のトレースの目的及び処理が分岐方向の統計をとる場合を示したが、トレースの目的及び詳細処理はこれに限定されない。

【0042】また、上述の実施例においては、フリップフロップ回路11の内容を再度「1」に戻すために第2のフリップフロップ回路12を設けたものを示したが、セクタ回路10の第2の選択入力端子10を「1」に常時プルアップしておくようにしても良い。

20 【0043】

【発明の効果】以上のように、本発明によれば、分岐命令が実行された結果次に実行する命令がプログラムカウンタの順序通りのものであるか否かに拘らず、中央処理装置にトレース処理ルーチンの処理に移行させることができる命令トレース装置を実現することができる。

【図面の簡単な説明】

【図1】実施例に係る命令トレース装置の分岐命令トレース制御回路の詳細構成を示すブロック図である。

【図2】実施例の全体構成を示すブロック図である。

30 【図3】実施例の2個のフリップフロップ回路の真値表を示す図表である。

【図4】実施例の各部タイミングチャートである。

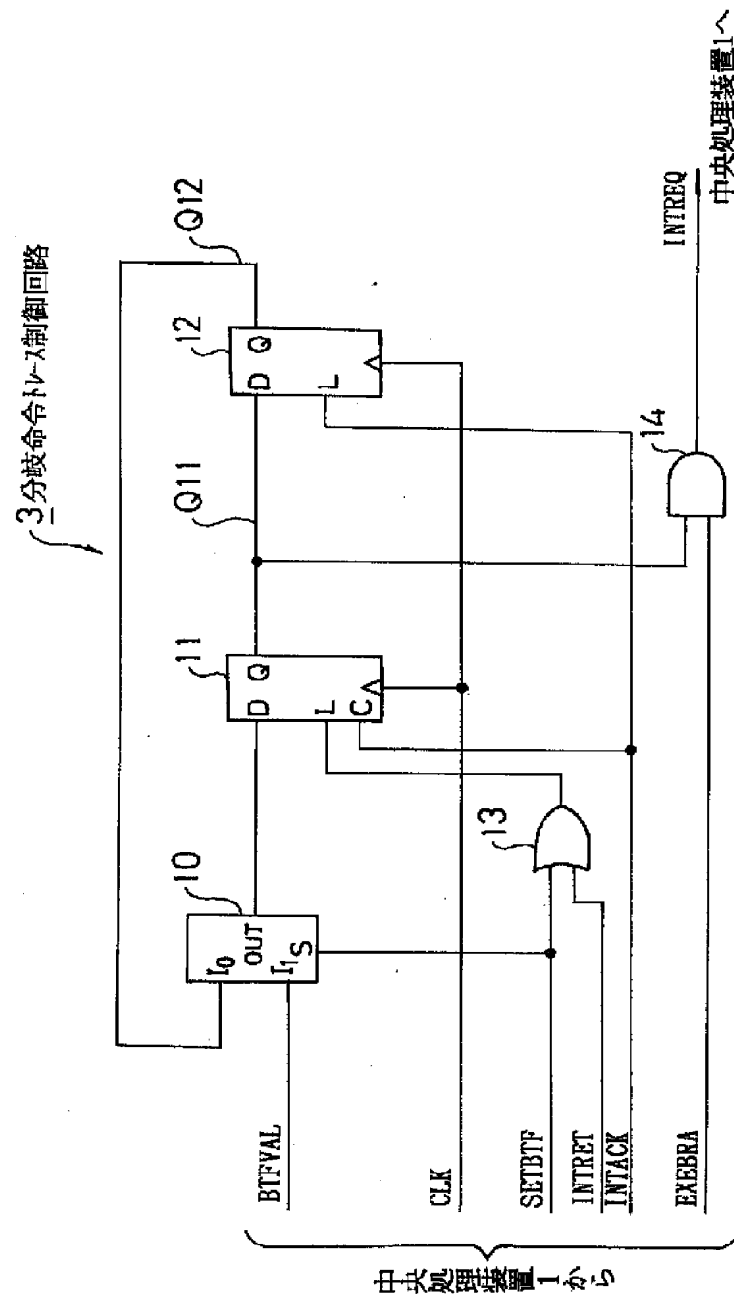
【図5】実施例のトレース処理ルーチンを示すフローチャートである。

【符号の説明】

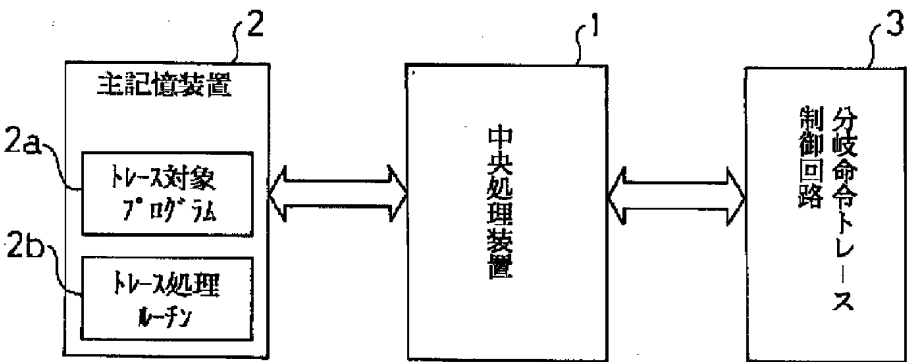
1…中央処理装置、2…主記憶装置、2a…トレース対象プログラム、2b…トレース処理ルーチン、3…分岐命令トレース制御回路、10…セクタ回路、11、12…フリップフロップ回路、13…オア回路、14…アンド回路。

40

【図1】



【図2】

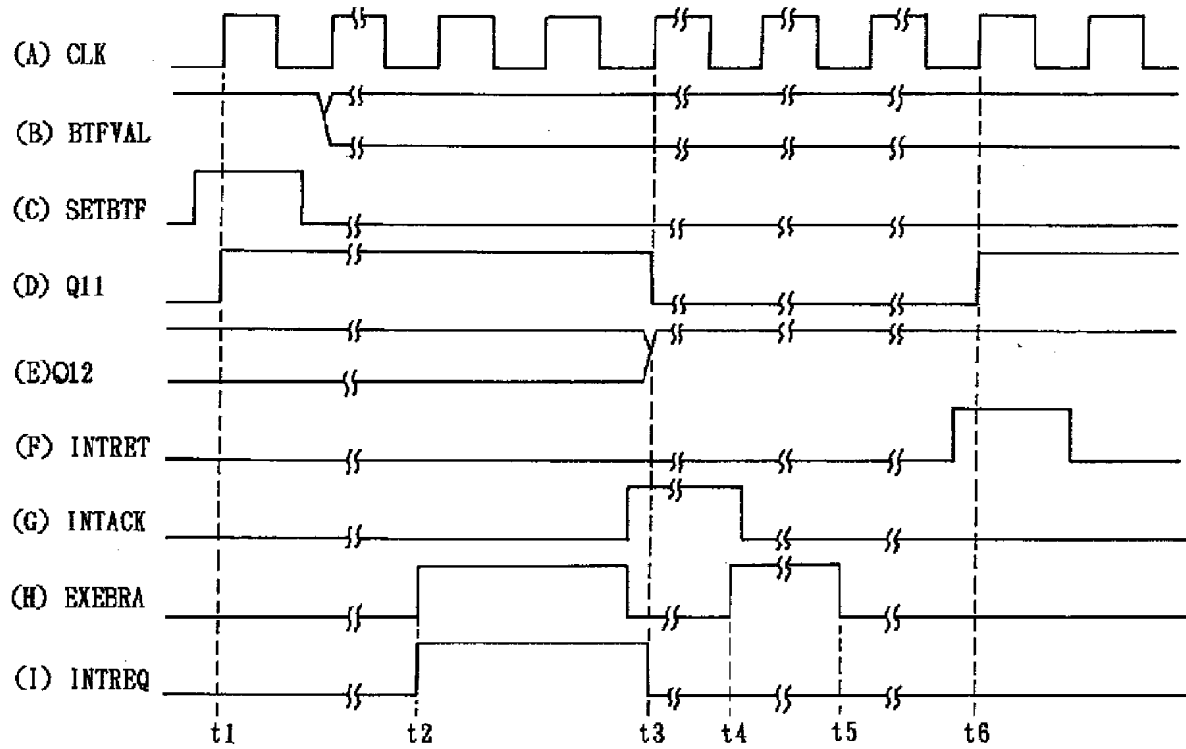


【図3】

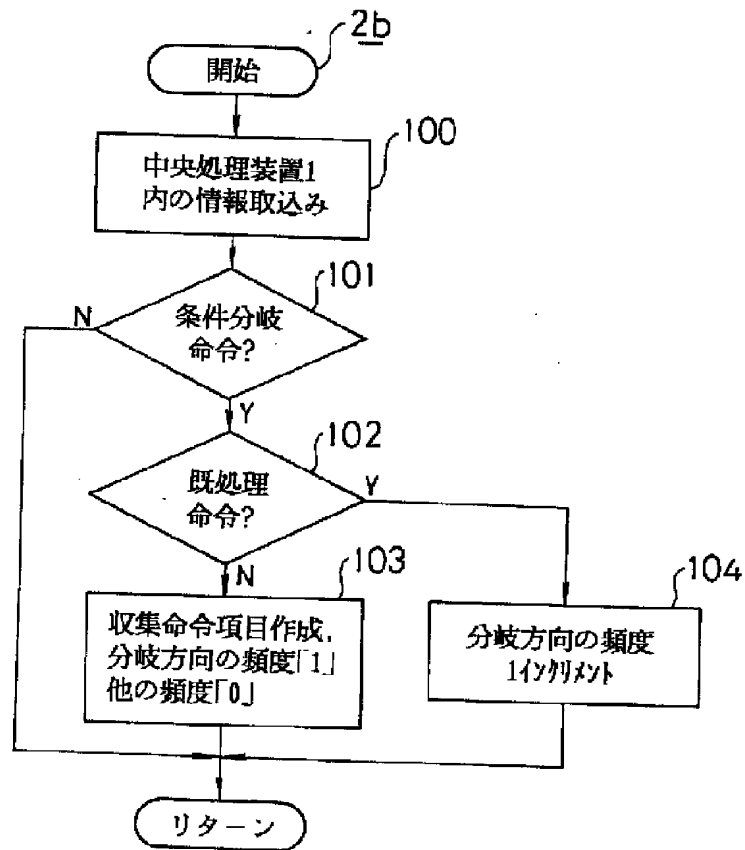
CLK	C	L	D	Q_{n+1}	Comment
f	1	x	x	0	Synchronous reset
f	0	0	x	Q_n	Hold
f	0	1	0	0	Load "0"
f	0	1	1	1	Load "1"

xは1or0

【図4】



【図5】



フロントページの続き

(72)発明者 佐藤 正俊
東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内